

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-103047
 (43)Date of publication of application : 18.06.1983

(51)Int.CI. G06F 11/28

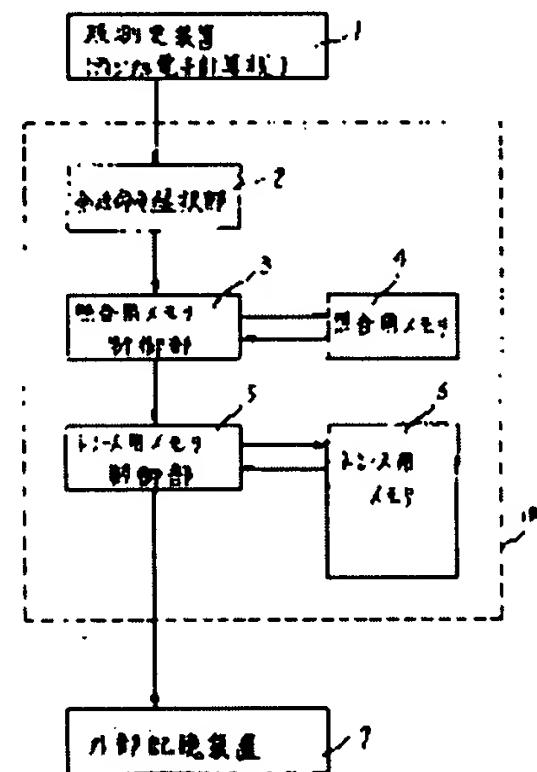
(21)Application number : 56-201620 (71)Applicant : HITACHI LTD
 (22)Date of filing : 16.12.1981 (72)Inventor : NAKADOKORO TAKESHI

(54) INSTRUCTION TRACING DEVICE

(57)Abstract:

PURPOSE: To extend the time of instruction tracing, by comparing input data with data stored in a collation memory, and not writing input data in a memory for tracing if the data is stored in the collation memory.

CONSTITUTION: Pairs of a specific number of branch instruction addresses, which are inputted latest, and branch destination addresses for them are stored in a separate high-speed access memory 4; and if a pair of a branch instruction address and a branch destination address which should be stored newly is stored already in the memory 4, the pair is prevented from storing in a memory 6 for tracing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭58—103047
 ⑩ Int. Cl.³ 識別記号 厅内整理番号
 G 06 F 11/28 7257—5B
 ⑬ 公開 昭和58年(1983)6月18日
 発明の数 1
 審査請求 未請求

(全 4 頁)

④命令トレース装置	式会社日立製作所システム開発 研究所内
②特 願 昭56—201620	⑦出 願人 株式会社日立製作所
③出 願 昭56(1981)12月16日	東京都千代田区丸の内1丁目5 番1号
④發明者 中所武司 川崎市多摩区王禅寺1099番地株	⑧代理人 弁理士 薄田利幸

明細書

発明の名称 命令トレース装置

特許請求の範囲

1. 最も最近に入力された所定数の分岐命令のアドレスとその分岐先アドレスの対のデータを記憶する第1のメモリ手段と、新たに入力された分岐命令のアドレスとその分岐先アドレスの対のデータが、上記第1のメモリ手段に記憶されているかどうかを照合し、記憶されていない時ののみそのデータを出力するよう制御する制御手段とを備えたことを特徴とする命令トレース装置。

発明の詳細な説明

本発明は、デジタル電子計算機によつて実行された命令を記憶する場合に、特にその実行順序および実行回数を知る必要がない複雑な命令を記憶する命令トレース装置に関する。

最近、ソフトウェアプログラムの高信頼化のために、テストのために用意したすべてのテストデータを実行させた時に、被テストプログラム中の

バスの実行がどの程度網らされたかを測定する、テスト充分性評価が行なわれており、その際に命令トレース装置を用いれば、被テストプログラムの実行に影響を与えないという利点がある。

従来の命令トレース装置は、すべての実行命令あるいは分岐命令をその実行順序に従つて記憶するため、記憶すべき命令が膨大となり、大きな記憶容量を有する記憶装置を必要とするという欠点、およびこの記憶容量の制限のために命令トレースの期間が比較的短時間に限られるという欠点があつた。

本発明の目的は、この問題を解決するために、小さな記憶容量を有する記憶装置を用いるだけによく、かつ、命令トレースの期間を長時間にできる命令トレース装置を提供することにある。

このような目的を達成するために、本発明では、最も最近に入力された特定個数の、分岐命令アドレスとその分岐アドレスの対を別の高速アクセス記憶装置に記憶しておき、新たに記憶させようとする分岐命令アドレスと分岐先アドレスの対が、

(1)

(2)

この記憶装置内に記憶されている時はそれをトレース記憶装置に記憶しないようにしたことに特徴がある。

本発明は、プログラムのテストを行つた際に、未だ1度も実行されていないバスの検出を、命令トレースによつて行う場合に有効である。すなわち、通常、命令トレースはプログラムの実行順序を調べるために用いるので、分岐命令の実行順序が重要であるが、未実行バス検出の場合は、実行の有無のみ調べれば良く、そのような場合に本発明を適用すれば効果的である。

以下、本発明の実施例を図面により説明する。

第1図は本発明による命令トレース装置の一実例の構成を示すものである。従来の命令トレース装置は、デジタル電子計算機1において実行される命令に関する、命令アドレス、命令の種類、分岐先アドレスなどのデータを取り込み、分岐命令選択部2において分岐命令のみを選択し、トレース用メモリ制御部5においてその分岐命令の命令アドレスと分岐先アドレスの対をトレース用メモリ6に書き込む。

(3)

(3) (2)において、本データを書き込む場合に、照合用メモリ4内に空きエリアが無い場合は、既に書き込まれているデータのうちで最初に書き込まれたデータのエリアに本データを書き込む。

第2図は第1図の照合用メモリ制御部3での動作の詳細をフローを示すものである。

第2図に示すように、まず、ステップ11において、サーチ用ポインタRPに照合メモリ4の先頭番地をセットする。次に、ステップ12において分岐命令選択部2より分岐命令が送られてくると、その入力された分岐命令アドレスと分岐先アドレスの対が、ポインタRPで指す照合メモリ4内のデータと同じかどうかを調べ、もし、同じであれば、処理を終了してデータをトレース用メモリ制御部に送らないようにする。

一方、入力されたデータがポインタRPで指す照合メモリ4のデータと同じでなければ、ステップ13において、ポインタRPに1データ分の長さを加え、ステップ14において、その値が照合メモリ4の最後尾番地より大きいかどうかを調べ、

(5)

特開昭58-103047(2)

リ制御部5を通してトレース用メモリ6に書き込むという動作をデジタル電子計算機1において命令が実行される毎に繰返すと共に、トレース用メモリ6に書き込まれたデータが一定量になるとそのデータをトレース用メモリ制御部5が外部記憶装置7に書き出すようになつている。

第1図の命令トレース装置100内の照合用メモリ制御部3および高速アクセス可能な照合用メモリ4は本発明により設けられた部分であり、照合用メモリ制御部3は次の動作を行う。

- (1) 分岐命令選択部2によつて選択された分岐命令の命令アドレスと分岐先アドレスの対と同じものが照合用メモリ4内に有るか否かを調べ、もし有れば、本データをトレース用メモリ制御部5に送らないようとする。従つて、本データはトレース用メモリ6には書き込まれない。
- (2) 本データが照合メモリ4内に無い場合は、そのデータを照合メモリ4内に書き込むと共に、トレース用メモリ制御部5に送り、トレース用メモリ6にも書き込む。

(4)

もし、大きくなれば上述したステップ12からの動作を繰り返す。もし、ポインタRPの値が照合メモリ4の最後尾番地より大きくなれば、ステップ15に進み、書き込み用ポインタWPの指す照合メモリ4内のエリアに入力データを書き込む。次に、ステップ16, 17では、ポインタWPに1データ分の長さを加え、その値が、照合メモリ4の最後尾番地より大きいかどうかを調べ、もし大きければ、ステップ18において、ポインタWPに照合メモリ4の先頭番地をセットする。

なお、上述した例では、入力データと照合用メモリ4内データとの比較は、照合用メモリ4の最後尾番地まで行なわれる場合について説明したが、書き込み用ポインタWPの指す番地まで行なうようにしてよい。

本発明の具体的な動作例を説明するために、次のようなフォートラン(Fortran)プログラムが計算機1上で実行される場合を考える。

```
10 READ(5, 100) MAX
20 I=1
```

(6)

特開昭58-103047(3)

30 CONTINUE
40 I=I+1
50 IF(I, LE, MAX) GOTO 30
60 STOP

本プログラムにおいて、文番号50の実行により $I \leq MAX$ が成立している場合は、文番号30への分岐が生じる。従つて、例えばMAXが100の場合、プログラムの実行順と文番号で表すと、

10
20
30
40 } 100回繰返す
50
:
60

となる。

これに本発明の実施例を適用した場合、以下の動作をする。

(1) 文番号10, 20, 30, 40の文は分岐命令を含まないので、分岐命令選択部2を通過しない。

(7)

トレース用メモリ6を兼用する例である。通常は組合用メモリ4はその用法に依存してトレース用メモリ6よりもアクセス時間が短いものを用いる必要がある場合が多いが、その必要のない場合は、本方式が可能である。

第4図は、第1図のトレース用メモリ6を駆けず、直接、外部記憶装置7に書き込む例である。通常は外部記憶装置への書き込みに要する時間はトレース用命令の入力間隔より大きいため、トレース用メモリ6をバッファとして用いるが、そうでない場合は本方式が可能である。

以上述べた実施例からも解るように、本発明によれば、従来の命令トレース装置において、実際の実行回数分の分岐命令データを収集していたものをほとんどの場合1回分のデータだけ収集するようしたため、トレース用メモリの使用効率を大幅に向上できる。

図面の簡単な説明

第1図は本発明による命令トレース装置の一実施例の構成図、第2図は第1図の組合用メモリ制

(9)

(2) 文番号50は分岐命令選択部を通過後、組合用メモリ制御部3が文番号50のアドレスと分岐先である文番号30のアドレスの対を組合用メモリ4に記憶すると共に、そのデータをトレース用メモリ制御部5に送る。

(3) 文番号50の2度目以降の実行時は、組合用メモリ制御部3が、組合用メモリ4内に文番号50から文番号30への分岐データが記憶されていることを確認して、そのデータをトレース用メモリ制御部5へ送らないようにする。

(4) トレース用メモリ制御部5は、組合用メモリ制御部3から送られる分岐データをトレース用メモリ6に記憶する。

以上のように、従来の命令トレース装置では文番号50から30への分岐データをその実際の実行回数分（上記例では99回分）だけトレース用メモリに記憶するが、本実施例では1回分で済む。

なお、本発明の実施例には第3図および第4図に示すような変形例が考えられる。

第3図は、第1図の組合用メモリ4の代りに、

(8)

御部の動作の一例を示すフローティート、第3図および第4図はそれぞれ本発明による命令トレース装置の他の実施例の構成図である。

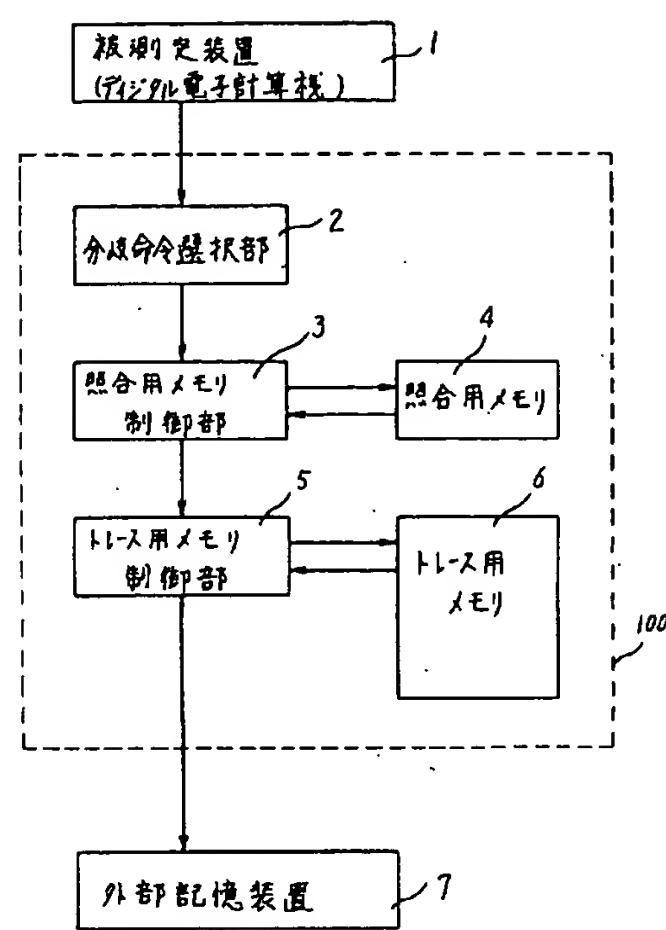
3…組合用メモリ制御部、4…組合用メモリ、6…トレース用メモリ。

代理人弁理士薄田利幸

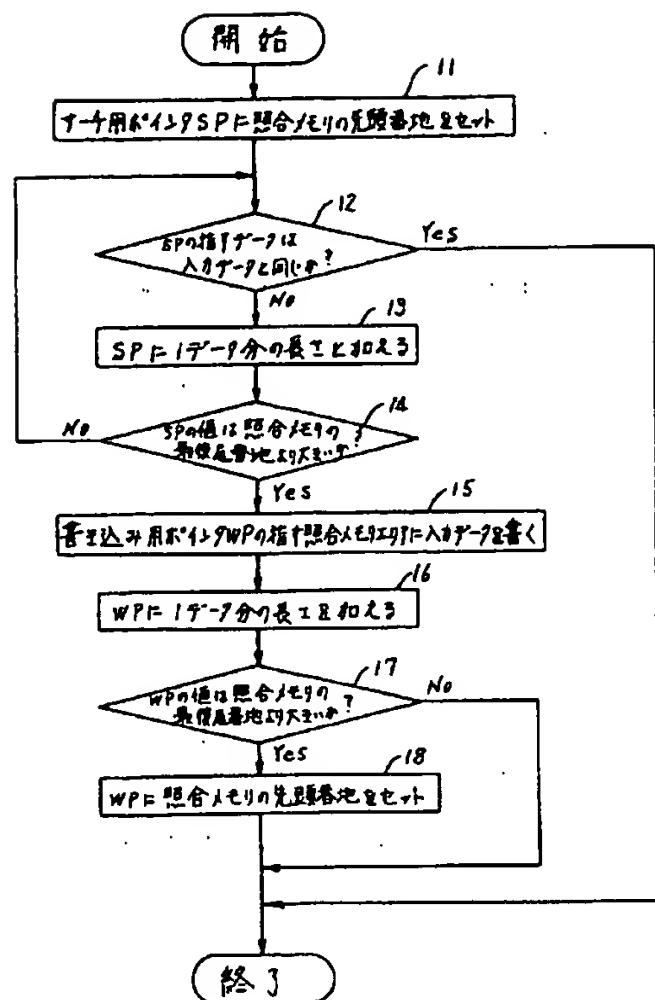
(10)

特開昭58-103047(4)

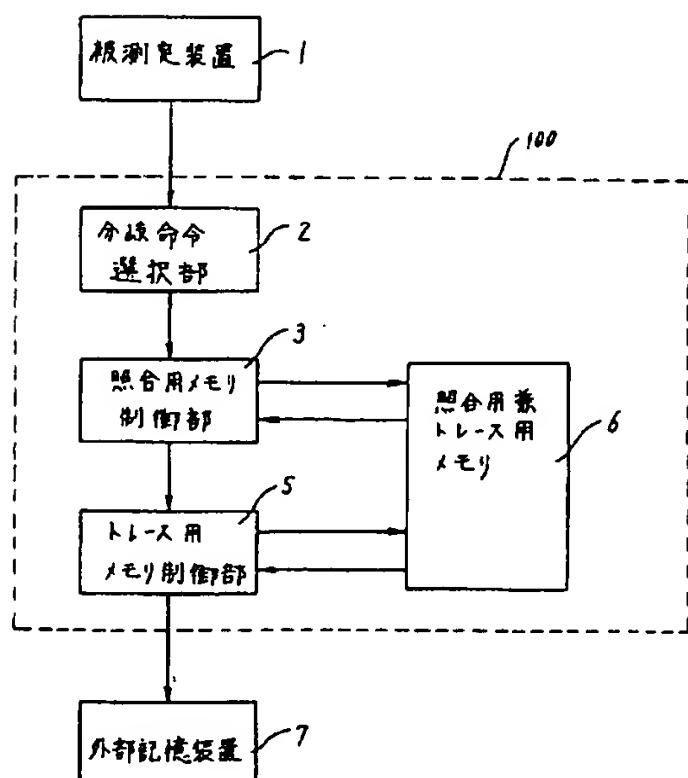
第 1 図



第 2 図



第 3 図



第 4 図

